

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 :
Application Number

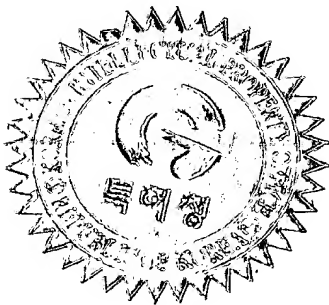
특허출원 2000년 제 45258 호
PATENT-2000-0045258

출원 년 월 일 :
Date of Application

2000년 08월 04일
AUG 04, 2000

출원인 :
Applicant(s)

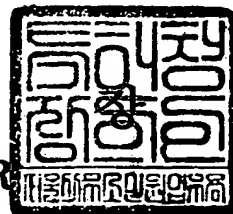
엘지정보통신주식회사
LG INFORMATION & COMMUNICATIONS LTD.



2001 07 02
년 월 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.08.04
【발명의 명칭】	전치 왜곡 방식의 디지털 선형화기를 이용한 송신기
【발명의 영문명칭】	Transmitter using Predistortion Type Digital Linearize
【출원인】	
【명칭】	엘지정보통신 주식회사
【출원인코드】	1-1998-000286-1
【대리인】	
【성명】	강성구
【대리인코드】	9-1998-000051-7
【포괄위임등록번호】	1999-066674-6
【대리인】	
【성명】	이화익
【대리인코드】	9-1998-000417-9
【포괄위임등록번호】	1999-066675-3
【발명자】	
【성명의 국문표기】	이재혁
【성명의 영문표기】	LEE, Jae Hyuk
【주민등록번호】	740711-1069016
【우편번호】	137-073
【주소】	서울특별시 서초구 서초3동 1487-77 10/1
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성구 (인) 대리인 이화익 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원

1020000045258

2001/7/

【우선권 주장료】	0	건	0	원
【심사청구료】	3	항	205,000	원
【합계】	234,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명은 온도에 대한 변화에 자동적으로 대처할 수 있으며, 노이즈에 강한 전치 왜곡 방식의 디지털 선형화기를 이용한 송신기에 관한 것으로서, 입력신호를 선형화에 적합하도록 왜곡하는 전치 왜곡기, 전치 왜곡기에서 출력되는 디지털 신호를 아날로그 신호로 변환하는 D/A 변환기, D/A 변환기의 출력되는 기저대역의 아날로그 신호를 반송파의 주파수로 변조하는 변조기, 변조기의 출력신호를 고주파 신호로 증폭하는 전력 증폭기(HPA), 전치 왜곡기를 제어하는 디지털 신호 프로세서(DSP), 전력 증폭기에서 출력된 고주파의 신호를 저주파의 기저대역 신호로 복조하는 복조기, 복조기에서 출력되는 아날로그 신호를 디지털 신호로 변환하여 상기 디지털 신호 프로세서(DSP)로 전달하는 A/D 변환기, 자체적으로 발진 주파수를 만들어 변조기 및 복조기에 각각 제공하는 국부 발진기로 구성함으로써, 보다 빠르고 정확하게 전력 증폭기의 비선형성을 개선시킬 수 있음에 따라 왜곡이 현저하게 감소된 전력증폭기의 출력을 얻을 수 있고, 전력 증폭기의 특성이 온도나 입력 전압 등에 의해 변화하더라도 개선된 정도를 계속 유지할 수 있으며, 디지털 신호 프로세서(DSP)를 사용하여 적응적 제어를 수행하므로써 내부 또는 외부의 영향을 작게 받으며, 직접 디지털 영역에서 신호를 조작함에 따라 별도의 아날로그 회로가 필요 없으므로 온도나 잡음 등의 외부 특성에 매우 강하고, 전치 왜곡기(Predistorter) 및 최적화를 시키는 디지털 신호 프로세서(DSP)는 둘다 디지털 영역에서 작업이 수행되기 때문에 제작이 용이하고 보다 정밀한 신호의 조작이 가능하며, FPGA의 내부 회로(work function)를 구현하는 소프트웨어만 바꾸면 언제든지 운영 체계를 갱신

할 수 있기 때문에 추후 제품의 업그레이드(upgrade)나 성능을 향상시킬 수가 있는 효과를 갖는다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

전치 왜곡 방식의 디지털 선형화기를 이용한 송신기{Transmitter using Predistortion Type Digital Linearizer}

【도면의 간단한 설명】

도 1 은 종래의 아날로그 방식의 선형화기를 이용한 송신기의 블록 구성도.

도 2 는 본 발명에 따른 전치 왜곡 방식의 디지털 선형화기를 이용한 송신기의 블록 구성도.

도 3 은 도 2에 보인 전치 왜곡기의 블록 구성도.

* 도면의 주요부분에 대한 부호의 설명

110 : 전치 왜곡기 120a,b : D/A 변환기

130 : 변조기 140 : 디지털 신호 프로세서(DSP)

150a,b : A/D 변환기 160 : 국부 발진기

170 : 복조기 180 : 전력증폭기

190 : 방향성 결합기

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 전력증폭기의 비선형성을 개선시키는 선형화기를 이용한 송신기에 관한 것으로서, 특히 선형화기를 정확하고 개선된 성능을 얻을 수 있도록 FPGA를 사용하여 디지털 회로로 설계한 전치 왜곡 방식의 디지털 선형화기를 이용한 송신기에 관한 것이다.
- <11> 일반적으로 전력 증폭기(Power Amplifier)는 RF신호를 증폭하여 기지국으로부터 공중으로 전달하는 중요한 부분으로 전체 시스템의 비선형성에 가장 크게 영향을 미치는 부분이다. 이러한 전력 증폭기의 비선형 특성을 개선시키는 방법에는 Feed forward 방식, envelope feedback 방식 그리고 predistortion(전치왜곡)방식 등이 있다. 그 중에서도 성능에 비해 가격이 저렴하고, 보다 넓은 대역폭에서도 동작하는 선형화 방법으로 전치 왜곡(predistortion) 방식이 많이 사용된다. 이러한 전치 왜곡 방식은 전력 증폭기의 비선형 왜곡 특성과는 반대로 입력신호를 미리 왜곡시켜서 전력 증폭기의 입력으로 제공하면 결과적으로 선형성이 개선된 결과를 얻게 된다.
- <12> 도 1은 종래의 아날로그 방식의 선형화기를 이용한 송신기의 블록 구성도이다. 도 1을 참조하면, 종래의 아날로그 방식의 선형화기를 이용한 송신기는 입력신호로부터 샘플링(sampling)신호를 검출하는 방향성 결합기(10)와, 방향성 결합기(10)에서 출력되는 입력신호의 위상을 변화시키는 위상 변환기(phase shifter)(20)와, 입력신호의 크기를 변화시키는 가변 감쇄기(variable attenuator)(30)와, 가변 감쇄기(variable attenuator)(30)의 출력 신호를 증폭시키는 전력증폭기(HPA)(40)와, 전력증폭기

(HPA)(40)의 출력으로부터 입력신호를 비교하기 위한 신호를 샘플링하는 방향성 결합기(50)와, 입력과 출력 신호의 샘플링을 비교하고 결과 값을 사용하여 위상 변환기(20)와 변화 감쇄기(30)를 조절하는 비교기(comparator)(60, 70)로 구성된다.

<13> 이와 같은 구성의 선형화기의 전력증폭기(HPA)(40)의 출력신호에는 비선형 현상으로 인한 왜곡이 발생함에 따라서 전치 왜곡(Predistortion) 방식에서는 전력 증폭기(40)의 비선형성을 개선시키기 위하여 증폭기의 입력신호를 미리 전력증폭기의 특성과는 반대로 왜곡시킨다.

<14> 도 1을 참조하면, 먼저 방향성 결합기(10)에서 입력 신호를 샘플링하고, 전력 증폭기(40)의 출력신호로부터 적당한 비율로 증폭된 신호도 샘플링하는데, 이때, 두 신호의 크기가 같도록 샘플링 비율을 맞추어야 하며, 이때의 출력신호는 전력 증폭기(40)에 의하여 크게 증폭되므로 그 크기에 맞추어 샘플링하고, 이어, 입력신호와 출력신호를 각각 OP 앰프로 구성된 비교기(60, 70)를 이용하여 신호의 차이 즉, 에러를 구한 다음 각각의 비교한 값으로 위상 변환기(phase shifter)(20)와 가변 감쇄기(variable attenuator)(30)를 각각 조절하여 적절하게 전력 증폭기(40)의 입력 신호를 조절한다.

<15> 그러나, 이상에서 설명한 아날로그 방식의 선형화기는 온도에 대한 변화가 민감하고, 노이즈의 영향을 많이 받으며, 또한, 각 신호의 입력 순간마다 매번 입력신호를 왜곡시켜주는 회로를 조절해주어야 하므로, IMT 2000 시스템에서와 같이 사용하는 주파수 대역폭(Bandwidth)이 넓은 입력신호에 적용하기에 현실적으로 어려운 단점이 있다.

<16> 따라서, 이러한 단점을 개선시킨 이득 기반 전치 왜곡기(Gain-based predistorter)도 제시되었지만, 실제 아날로그 회로를 사용하여 구현한 것이므로, 실제로 얻어진 제어 값을 조정하는 회로의 구성이 디지털 방식에 비해 상대적으로 복잡하고, 과부하 및 전력

증폭기의 특성상 온도보상회로 등의 부가회로들이 구비되어야만 한다.

【발명이 이루고자 하는 기술적 과제】

<17> 상기 단점을 해결하기 위해 본 발명은, 온도에 대한 변화에 자동적으로 대처할 있으며, 노이즈에 강한 전치 왜곡 방식의 디지털 선형화기를 이용한 송신기를 제공하는 것을 목적으로 한다.

<18> 상기 목적을 달성하기 위한 본 발명에 따른 전치 왜곡 방식의 디지털 선형화기를 이용한 송신기는, 입력신호를 선형화에 적합하도록 왜곡하는 전치 왜곡기(Predistorter), 상기 전치 왜곡기에서 출력되는 디지털 신호를 아날로그 신호로 변환하는 D/A 변환기, 상기 D/A 변환기의 출력되는 기저대역의 아날로그 신호를 반송파의 주파수로 변조하는 변조기(Modulator); 상기 변조기(Modulator)의 출력신호를 고주파 신호로 증폭하는 전력 증폭기(HPA), 상기 전치 왜곡기를 제어하는 디지털 신호 프로세서(DSP), 상기 전력 증폭기에서 출력된 고주파의 신호를 저주파의 기저대역 신호로 복조하는 복조기(Demodulator), 상기 복조기(Demodulator)에서 출력되는 아날로그 신호를 디지털 신호로 변환하여 상기 디지털 신호 프로세서(DSP)로 전달하는 A/D 변환기 및 자체적으로 발진 주파수를 만들어 상기 변조기(Modulator) 및 복조기(Demodulator)에 각각 제공하는 국부 발진기(Local Oscillator)를 포함하여 구성되는 것을 특징으로 한다.

【발명의 구성 및 작용】

<19> 이하 첨부된 도면을 참조하여 본 발명을 상세히 설명하면 다음과 같다.

<20> 도 2 는 본 발명에 따른 전치 왜곡 방식의 디지털 선형화기를 이용한 송신기의 블록 구성도로서, 본 발명의 전치 왜곡 방식의 디지털 선형화기를 이용한 송신기는 입력신호를 전력 증폭기의 선형화에 적합하도록 왜곡하는 전치 왜곡기(Predistorter)(110), 전치 왜곡기 (Predistorter)(110)에서 출력되는 디지털 신호를 아날로그 신호로 변환하는 D/A 변환기(120a, 120b), D/A 변환기(120a, 120b)의 출력되는 기저대역의 아날로그 신호를 반송파의 주파수로 변조하는 변조기(Modulator)(130), 변조기(Modulator) (130)의 출력 신호를 고주파 신호로 증폭하는 전력증폭기(HPA)(180), 상기 전치 왜곡기(110)를 제어하는 디지털 신호 프로세서(DSP)(140), 전력 증폭기(180)에서 출력된 고주파의 신호를 저주파의 기저대역 신호로 복조하는 복조기(Demodulator) (170), 복조기(Demodulator)(170)에서 출력되는 아날로그 신호를 디지털 신호로 변환하여 디지털 신호 프로세서(DSP)(140)로 전달하는 아날로그/디지털 변환기 (150a,b), 자체적으로 발진 주파수를 만들어 변조기(Modulator)(130) 및 복조기(Demodulator)(170)에 각각 제공하는 국부 발진기(Local Oscillator)(160)로 구성된다. 여기서, 190은 50 Ohm 저항 성분을 가지고 있으며, 반사되는 신호를 없도록 전송선의 끝을 종단시키는 역할을 한다.

<21> 도 3 은 상기 도 2에 보인 전치 왜곡기의 블록 구성도로서, 전치 왜곡기는 상기 제 1 위상 디지털 입력신호인 I신호를 자신끼리 곱하는 제 1 곱셈기(110-1)와, 제 2 위상 디지털 입력신호인 Q신호를 자신끼리 곱하는 제 2 곱셈기(110-10)와, 제 1 곱셈기(110-1)와 제 2 곱셈기(110-10)의 출력신호를 더하는 제 1 덧셈기(110-2)와, 제 1 덧셈기(110-2)의 출력신호를 자신끼리 곱하는 제 3 곱셈기(110-3)와, 제 1 덧셈기(110-2)의 출력신호를 자신끼리 곱하는 제 4 곱셈기(110-11)와, 제 3 곱셈기(110-3)의 출력신호에 상기 디지털 프로세서로부터 입력신호의 4차항 계수 a_I 를 곱하는 제 5 곱셈기(110-4)와,

제 4 곱셈기(110-11)의 출력신호에 상기 디지털 프로세서로부터 입력신호의 4차항 계수 a_Q 을 곱하는 제 6 곱셈기(110-12)와, 제 1 덧셈기(110-2)의 출력신호에 상기 디지털 프로세서로부터 입력신호의 2차항 계수 b_I 을 곱하는 제 7 곱셈기(110-7)와, 제 1 덧셈기(110-2)의 출력신호에 디지털 프로세서로부터의 입력신호의 2차항 계수 b_Q 을 곱하는 제 8 곱셈기(110-13)와, 제 5 곱셈기(110-4) 및 제 7 곱셈기(110-7)의 출력신호와 상기 디지털 프로세서로부터 입력신호의 상수항 c_I 을 더하는 제 2 덧셈기(110-8)와, 제 6 곱셈기(110-12) 및 제 8 곱셈기(110-13)의 출력신호와 디지털 프로세서로부터 입력신호의 상수항 c_Q 을 더하는 제 3 덧셈기(110-14)와, 제 1 위상 디지털 입력신호인 I신호와 상기 제 2 덧셈기(110-8)의 출력신호를 곱하는 제 9 곱셈기(110-5)와, 제 2 위상 디지털 입력신호인 Q신호와 제 3 덧셈기(110-14)의 출력신호를 곱하는 제 10 곱셈기(110-15)와, 제 2 덧셈기(110-8)의 출력신호와 제 2 위상 디지털 입력신호인 Q신호를 곱하는 제 11 곱셈기(110-9)와, 제 3 덧셈기(110-14)의 출력신호와 제 1 위상 디지털 입력신호인 I신호를 곱하는 제 12 곱셈기(110-16)와, 제 9 곱셈기(110-5)의 출력신호와 제 10 곱셈기(110-15)의 출력신호를 감산하여 왜곡된 신호를 출력하는 감산기(110-6)와, 제 11 곱셈기(110-9)의 출력신호와 제 12 곱셈기(110-16)의 출력신호를 더하여 왜곡된 신호를 출력하는 제 4 덧셈기(110-17)로 이루어진다.

<22> 이하에서 이와 같이 구성된 본 발명에 따른 전치 왜곡 방식의 디지털 선형화기를 이용한 송신기의 동작을 설명하면 다음과 같다.

<23> 일반적으로 전력 증폭기(HPA)(180)의 비선형성에 의해 발생하는 왜곡신호는 전력 증폭기의 3차와 5차 왜곡성분에 의해서 가장 크게 영향을 받기 때문에 이것을 보상하기

위한 상기 전치 왜곡기(Predistorter)(110)는 전력 증폭기(HPA)(180)의 특성과는 반대로 입력신호를 왜곡시킨 다음 전력 증폭기(HPA)(180)에 입력시키면, 결과적으로 전력 증폭기의 선형성을 크게 개선시킬 수 있으며, 이러한 전력 증폭기의 비선형 현상을 수학적으로 모델링을 하면 3차와 5차 성분을 포함하는 다항식으로 나타낼 수 있고, 이런 비선형 특성을 개선시키는 전치 왜곡기(Predistorter) 또한 마찬가지로 3차와 5차 성분을 가지는 수학 모델로 나타낼 수 있다.

<24> 도 2 및 도 3을 참조하면, 입력 신호를 적절하게 크기와 위상을 왜곡시켜주기 위하여 FPGA로 구현한 전치 왜곡기(Predistorter)(110)의 내부에서는 입력신호의 크기를 판단하고 I채널과 Q채널의 신호에 적당한 크기를 곱하여 주는데, 여기서, FPGA(field-programmable gate array)는 프로그램이 가능한 로직 칩의 한 형태이며, PLD와 비슷하지만 PLD가 일반적으로 수백 개의 게이트에 제한되는데 반해, FPGA는 수천 개의 게이트를 지원하고, 둘 모두 집적회로 설계의 프로토타입 제작용으로 인기가 높으며, FPGA는 일단 설계가 확정된 후라도 성능을 더 높이기 위해 개선된 프로그램을 새로 입력시킬 수 있다.

<25> 이어, 입력신호를 두 개로 나누어 하나는 원래의 신호를 그대로 통과시키고, 다른 하나는 크기 즉, 전력을 판단하여 적당한 크기를 곱해주는 작업 기능 모델(work function model) 즉, 전치 왜곡기(Predistorter)(110)로 전달하면, 상기 전치 왜곡기(Predistorter)(110)를 통과하는 신호는 먼저 입력 디지털 신호를 각각 자신끼리 곱하여 제곱을 구한 후 함께 더하여 입력신호의 크기를 판단한 후 그 입력에 대한 3차, 5차 계수를 구하고 계수를 곱한 다음 상수를 더하여 전치 왜곡기(Predistorter)(110) 모델의 출력을 구한다.

- <26> 이어, 전치 왜곡기(Predistorter)(110)를 통과한 신호는 D/A 변환기(120a,b)를 통과하여 아날로그 신호로 변환된 다음 변조기(Modulator)(130)를 거쳐서 주파수를 반송파의 영역으로 만들어 전력 증폭기 HPA(180)를 통과시켜서 출력하며, 또한, 방향성 결합기(190)로부터 출력신호를 적당한 비율로 샘플링한 다음 복조기(Demodulator)(170)를 사용하여 기저대역(Baseband)으로 낮추고, 그 신호를 A/D 변환기(150a,b)를 통과시켜서 디지털 신호 프로세서(DSP)(140)에 전달하며, 원래의 기저대역 신호를 디지털 신호 프로세서(DSP)(140)에 입력신호로 전달하고 샘플링된 신호와 원래의 신호를 서로 비교하여 에러가 작아지는 방향으로 함수모델의 계수들을 갱신(update)할 수 있는데, 일단 설계가 확정된 후라도 성능을 더 높이기 위해 개선된 프로그램을 새로 입력시킬 수 있다.
- <27> 이러한 선형화기를 이용한 송신기에서 가장 핵심적인 부분은 입력신호의 크기를 판단하여 적절한 크기로 왜곡시켜주는 전치 왜곡기(Predistorter)인데, 이 전치 왜곡기(Predistorter)의 내부는 전력 증폭기(HPA)의 수학적 모델에서 발생하는 왜곡성분을 보상할 수 있는 입출력 수학 모델을 디지털 회로로 구현한 것이다.

【발명의 효과】

- <28> 상술한 바와 같이 본 발명은, 보다 빠르고 정확하게 전력 증폭기의 비선형성을 개선시킬 수 있으며, 그 결과로 왜곡이 현저하게 감소된 전력증폭기의 출력을 얻을 수 있는 효과가 있다.
- <29> 또한, 전력 증폭기의 특성이 온도나 입력 전압 등에 의해 변화하더라도 개선된 정도를 계속 유지할 수 있으며, 디지털 신호 프로세서(DSP)를 사용하여 적응적 제어를 수

행하므로 내부 또는 외부의 영향을 작게 받으며, 본 발명의 전치 왜곡기(Predistorter)는 입력신호를 별도의 A/D 변환기를 사용하지 않고 디지털 신호 대역인 기저대역에서 직접 처리하기 위하여 FPGA를 사용하여 설계함에 따라 직접 디지털 영역에서 신호를 조작하므로 별도의 아날로그 회로가 필요 없기 때문에 온도나 잡음 등의 외부 특성에 매우 강하다.

<30> 그리고, 전치 왜곡(Predistorter) 및 최적화를 시키는 디지털 신호 프로세서(DSP) 모두 디지털 영역에서 작업이 수행되기 때문에 제작이 용이하고 보다 정밀한 신호의 조작이 가능하며, FPGA의 내부 회로(work function)를 구현하는 소프트웨어만 바꾸면 언제든지 운영 체계를 갱신할 수 있기 때문에 추후 제품의 업그레이드(upgrade)나 성능을 향상시킬 수가 있는 효과를 갖는다.

【특허청구범위】**【청구항 1】**

제 1, 제 2 위상 디지털 입력신호를 제어신호에 따라 증폭 특성과 반대로 각각 왜곡시키는 디지털 전치왜곡 선형화기와;

상기 디지털 전치왜곡 선형화기의 출력신호를 아날로그 신호로 변환하는 디지털/아날로그 변환기와;

상기 디지털/아날로그 변환기의 출력신호를 반송파의 주파수로 변조하는 변조기와;

상기 변조기의 출력신호를 고주파 신호로 증폭하여 출력하는 전력 증폭기와;

상기 전력 증폭기의 출력신호를 저주파의 기저대역 신호로 복조하는 복조기와;

상기 복조기에서 출력된 아날로그 신호를 각각 상기 제 1, 제 2 위상 디지털 출력신호로 변환하는 아날로그/디지털 변환기와;

상기 아날로그/디지털 변환기의 출력신호와 상기 디지털 입력신호를 비교하여 상기 디지털 전치왜곡 선형화기의 왜곡 정도를 제어하는 상기 제어값을 발생하는 디지털 신호 프로세서를 포함하는 것을 특징으로 하는 전치왜곡 방식의 디지털 선형화기를 이용한 송신기.

【청구항 2】

제 1 항에 있어서, 상기 디지털 전치왜곡 선형화기는

상기 제 1 위상 디지털 입력신호를 자신끼리 곱하는 제 1 곱셈기와;

상기 제 2 위상 디지털 입력신호를 자신끼리 곱하는 제 2 곱셈기와;

상기 제 1 곱셈기와 제 2 곱셈기의 출력신호를 더하는 제 1 덧셈기와;

상기 제 1 덧셈기의 출력신호를 자신끼리 곱하는 제 3 곱셈기와;

상기 제 1 덧셈기의 출력신호를 자신끼리 곱하는 제 4 곱셈기와;

상기 제 3 곱셈기의 출력신호에 상기 디지털 프로세서로부터의 제 1 계수값을 곱하는 제 5 곱셈기와;

상기 제 4 곱셈기의 출력신호에 상기 디지털 프로세서로부터의 제 2 계수값을 곱하는 제 6 곱셈기와;

상기 제 1 덧셈기의 출력신호에 상기 디지털 프로세서로부터의 제 3 계수값을 곱하는 제 7 곱셈기와;

상기 제 1 덧셈기의 출력신호에 상기 디지털 프로세서로부터의 제 4 계수값을 곱하는 제 8 곱셈기와;

상기 제 5 곱셈기 및 제 7 곱셈기의 출력신호와 상기 디지털 프로세서로부터의 제 5 계수값을 더하는 제 2 덧셈기와;

상기 제 6 곱셈기 및 제 8 곱셈기의 출력신호와 상기 디지털 프로세서로부터의 제 6 계수값을 더하는 제 3 덧셈기와;

상기 제 1 위상 디지털 입력신호와 상기 제 2 덧셈기의 출력신호를 곱하는 제 9 곱셈기와;

상기 제 2 위상 디지털 입력신호와 상기 제 3 덧셈기의 출력신호를 곱하는 제 10 곱셈기와;

상기 제 2 덧셈기의 출력신호와 상기 제 2 위상 디지털 입력신호를 곱하는 제 11 곱셈기와;

상기 제 3 덧셈기의 출력신호와 상기 제 1 위상 디지털 입력신호를 곱하는 제 12 곱셈기와;

상기 제 9 곱셈기의 출력신호와 상기 제 10 곱셈기의 출력신호를 감산하여 왜곡된 신호를 출력하는 감산기와;

상기 제 11 곱셈기의 출력신호와 상기 제 12 곱셈기의 출력신호를 더하여 왜곡된 신호를 출력하는 제 4 덧셈기로 이루어진 것을 특징으로 하는 전치왜곡 방식의 디지털 선형화기를 이용한 송신기.

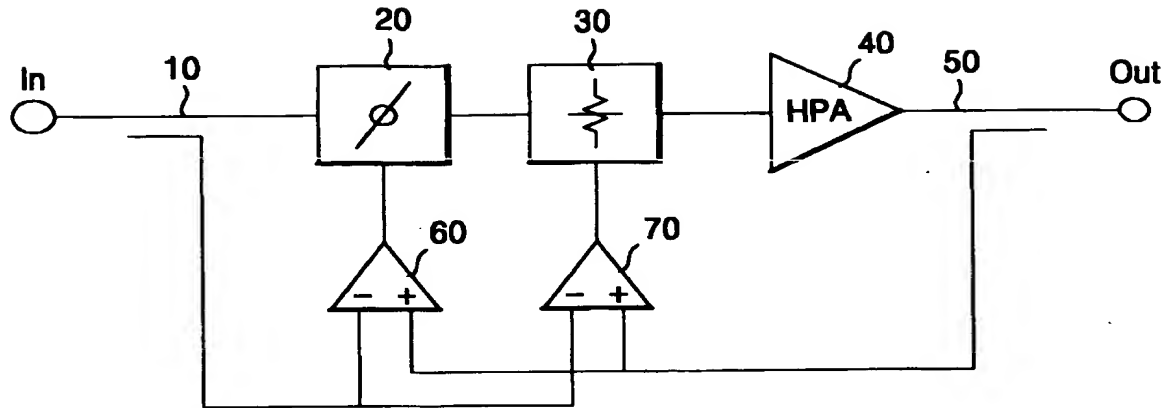
【청구항 3】

제 2 항에 있어서,

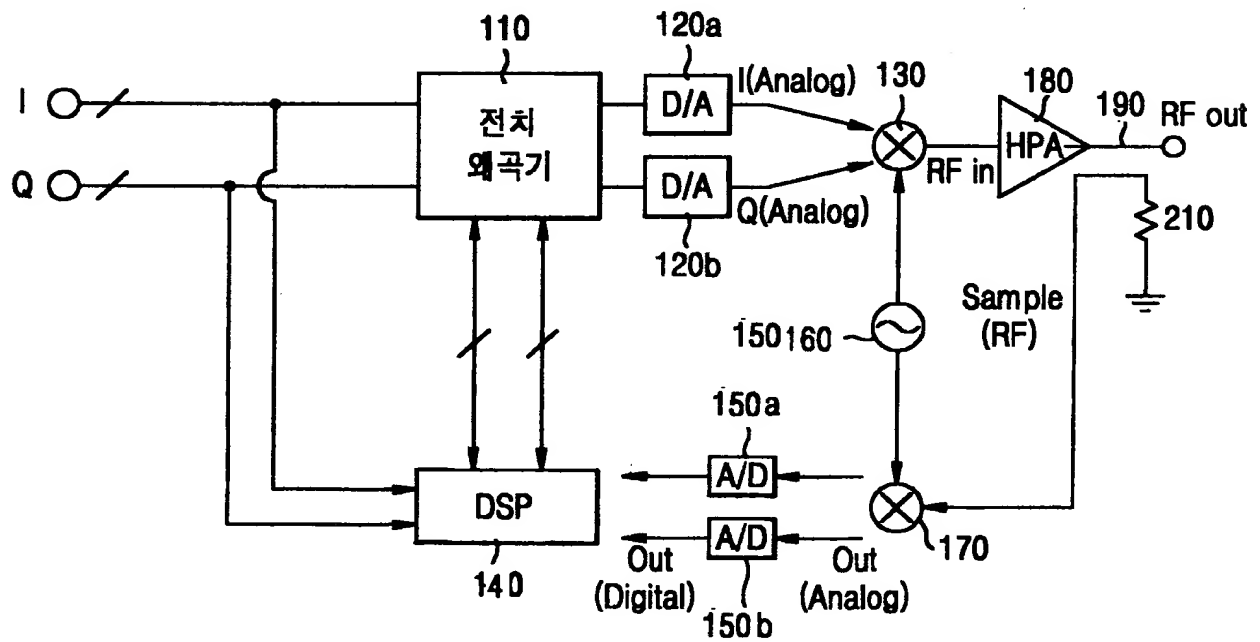
상기 제 1~6 계수값은 초기에 셋팅되고, 상기 디지털 프로세서로부터의 출력 값에 따라 갱신되는 것을 특징으로 하는 전치왜곡 방식의 디지털 선형화기를 이용한 송신기.

【도면】

【도 1】



【도 2】



【도 3】

